

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021935

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 21/60

(21)Application number : 10-198126

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 30.06.1998

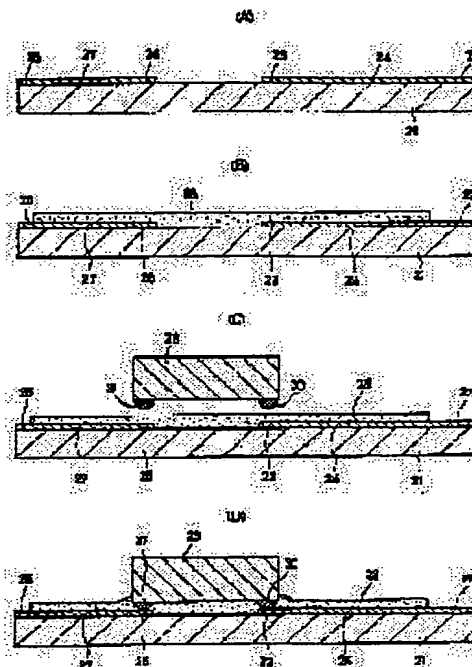
(72)Inventor : NOMURA TADAHIRO

(54) ELECTRONIC COMPONENT MOUNTING BODY AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid degradation especially in sealing function with less number of manufacturing processes, in a mounting technology for semiconductor chips, comprising an LSI, etc., which is called COF(chip on film).

SOLUTION: On the upper surface of a film substrate 21, external connection pads 22 and 25, semiconductor chip connection pads 23 and 26, and routing wires 24 and 27 between them are formed. On the upper surface of the film substrate 21, a sealing/protective film 28 of a thermoplastic resin is formed at a part, except for the part of both external connection pads 22 and 25. Gold bumps 30 and 31 of a semiconductor chip 29 protrude into the sealing/protective film 28 for connection to the semiconductor chip connection pads 23 and 26. Here, the sealing/protective film 28 will not peel, even if the film substrate 21 is bent near the semiconductor chip 29, and moreover it is sufficient that only the sealing/protective film 28 be formed.



LEGAL STATUS

[Date of request for examination]

29.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-21935
(P2000-21935A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl.⁷

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

テマコード(参考)

3 1 1 W 4 M 1 0 5

審査請求 未請求 請求項の数4 F D (全 4 頁)

(21)出願番号 特願平10-198128

(22)出願日 平成10年6月30日(1998.6.30)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 野村 直裕

高知県南国市久礼田2420 高知カシオ株式
会社内

(74)代理人 100074985

弁理士 杉村 次郎

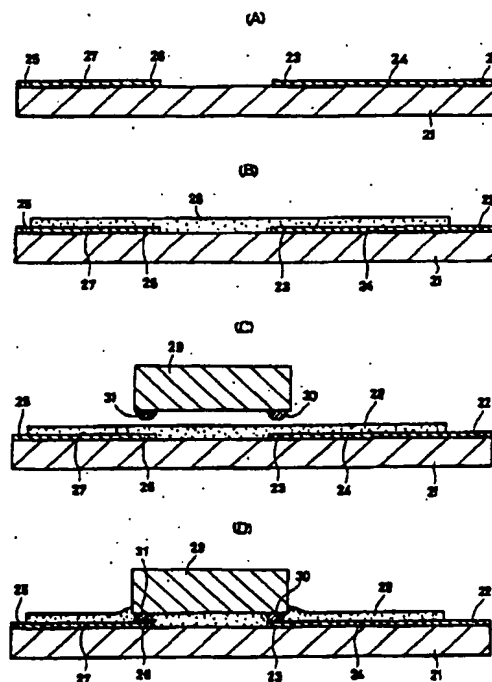
Fターム(参考) 4M105 AA03 BB11 GG16

(54)【発明の名称】 電子部品実装体及びその製造方法

(57)【要約】

【課題】 COF (Chip On Film)と呼ばれるLSI等からなる半導体チップの実装技術において、特に封止機能が損なわれることがなく、また製造工程数を少なくする。

【解決手段】 フィルム基板21の上面には外部接続パッド22、25、半導体チップ用接続パッド23、26及びその間の引き回し線24、27が形成されている。フィルム基板21の上面において両外部接続パッド22、25の部分を除く部分には熱可塑性樹脂からなる封止兼保護膜28が形成されている。半導体チップ29の金 bumps 30、31は封止兼保護膜28中に減り込み、半導体チップ用接続パッド23、26に接続されている。この場合、フィルム基板21が半導体チップ29の近傍で折り曲げられても、封止兼保護膜28が剥離することがなく、また封止兼保護膜28のみを形成すればよい。



【特許請求の範囲】

【請求項1】 一の面に電子部品用接続パッド、外部接続パッド及びその間の引き回し線が設けられたフィルム基板と、前記フィルム基板の電子部品用接続パッドの部分に該電子部品用接続パッドに接続されて搭載された電子部品と、前記電子部品と前記フィルム基板との間に介在されているとともに前記フィルム基板の引き回し線の部分を覆う封止兼保護膜とを具備することを特徴とする電子部品実装体。

【請求項2】 請求項1記載の発明において、前記封止兼保護膜は熱可塑性樹脂からなっていることを特徴とする電子部品実装体。

【請求項3】 一の面に電子部品用接続パッド、外部接続パッド及びその間の引き回し線が設けられたフィルム基板の一の面上であって前記外部接続パッドの部分を除く部分に封止兼保護膜を形成し、前記フィルム基板の電子部品用接続パッドの部分における前記封止兼保護膜上に電子部品を前記電子部品用接続パッドに接続させて搭載することを特徴とする電子部品実装体の製造方法。

【請求項4】 請求項3記載の発明において、前記封止兼保護膜は熱可塑性樹脂によって形成することを特徴とする電子部品実装体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、フィルム基板上に電子部品を搭載してなる電子部品実装体及びその製造方法に関する。

【0002】

【従来の技術】L S I等からなる半導体チップ（電子部品）の実装技術には、C O F (Chip On Film)と呼ばれる技術がある。図2は従来のこのような実装技術によって製造された半導体チップ実装体（電子部品実装体）の一例の断面図を示したものである。この半導体チップ実装体はフィルム基板1を備えている。フィルム基板1の上面の所定の箇所には入力側の外部接続パッド2、半導体チップ用接続パッド3及びその間の引き回し線4が設けられ、他の所定の箇所には出力側の外部接続パッド5、半導体チップ用接続パッド6及びその間の引き回し線7が設けられている。フィルム基板1の上面において両外部接続パッド2、5の部分及び両半導体チップ用接続パッド3、6の部分（つまり半導体チップ搭載領域）を除く部分には、引き回し線4、7を保護するための絶縁性インクからなる保護膜8が設けられている。フィルム基板1の上面の半導体チップ搭載領域にはL S I等からなる半導体チップ9が、その下面に設けられたバンパ10、11を半導体チップ用接続パッド3、6に接続された状態で、搭載されている。そして、半導体チップ9の周囲に封止材12の材料がディスペンサによって滴下されることにより、半導体チップ9とフィルム基板1との間及び半導体チップ9の近傍における保護膜8の上面に

は、半導体チップ9の下面を保護（封止）するための封止材12が設けられている。

【0003】

【発明が解決しようとする課題】しかしながら、従来のこのような半導体チップ実装体では、フィルム基板1が半導体チップ9の近傍で折り曲げられた場合、封止材12と保護膜8との界面で剥離が生じ、封止材12の機能が損なわれてしまうことがあるという問題があった。また、保護膜8と封止材12とをそれぞれ別の工程で形成することになるので、製造工程数が多くなるという問題もあった。この発明の課題は、特に封止機能が損なわれることなく、また製造工程数を少なくすることである。

【0004】

【課題を解決するための手段】請求項1記載の発明に係る電子部品実装体は、一の面に電子部品用接続パッド、外部接続パッド及びその間の引き回し線が設けられたフィルム基板と、前記フィルム基板の電子部品用接続パッドの部分に該電子部品用接続パッドに接続されて搭載された電子部品と、前記電子部品と前記フィルム基板との間に介在されているとともに前記フィルム基板の引き回し線の部分を覆う封止兼保護膜とを具備したものである。請求項3記載の発明に係る電子部品実装体の製造方法は、一の面に電子部品用接続パッド、外部接続パッド及びその間の引き回し線が設けられたフィルム基板の一の面上であって前記外部接続パッドの部分を除く部分に封止兼保護膜を形成し、前記フィルム基板の電子部品用接続パッドの部分における前記封止兼保護膜上に電子部品を前記電子部品用接続パッドに接続させて搭載するようにしたものである。この発明によれば、封止兼保護膜に封止機能と保護機能とを兼ね備えさせているので、従来のような剥離現象が生じることがなく、したがって特に封止機能が損なわれることなく、また封止兼保護膜のみを形成すればよいので、製造工程数を少なくすることができる。

【0005】

【発明の実施の形態】図1 (A)～(D)はそれぞれこの発明の一実施形態における半導体チップ実装体の各製造工程を示したものである。そこで、これらの図を順に参照して、この実施形態における半導体チップ実装体の構造及びその製造方法について説明する。

【0006】まず、図1 (A)に示すように、ポリイミドやポリエチレンテレフタレート等からなるフィルム基板21の上面にラミネートされた銅箔やアルミニウム箔等からなる導電膜をパターンニングすることにより、フィルム基板21の上面の所定の箇所に入力側の外部接続パッド22、半導体チップ用接続パッド23及びその間の引き回し線24を形成するとともに、他の所定の箇所に出力側の外部接続パッド25、半導体チップ用接続パッド26及びその間の引き回し線27を形成する。次に、

外部接続パッド22、25、半導体チップ用接続パッド23、26及び引き回し線24、27上に電解メッキあるいは無電解メッキにより金、錫、半田等のメッキ層（図示せず）を形成する。

【0007】次に、図1（B）に示すように、フィルム基板21の上面において両外部接続パッド22、25の部分を除く部分に、熱可塑性エポキシ樹脂やB-ステージエポキシ樹脂等の透明または半透明な熱可塑性樹脂を印刷法やディスペンサ法等により塗布したりシート状のものをラミネートしたりすることにより、所定の厚さの封止兼保護膜28を形成する。次に、樹脂温度150℃程度で1時間程度の加熱を行い、封止兼保護膜28をある程度硬化させる。次に、図1（C）に示すように、下面に金等からなるバンパ30、31を有するLSI等からなる半導体チップ29を、図示しない吸着機構付きボンディングヘッドを用いて、フィルム基板21の上面の半導体チップ搭載領域の上方に位置合わせして配置する。この場合の位置合わせは、封止兼保護膜28が透明または半透明であるので、この封止兼保護膜28下の半導体チップ用接続パッド23、26を図示しないカメラで画像確認すること等によって行われる。

【0008】次に、図1（D）に示すように、半導体チップ29をボンディングヘッドと共に下降させ、フェースダウンボンディングを行う。この場合のボンディング条件は、一例として、樹脂温度が融点以上（200～250℃程度）で1～10秒程度とする。すると、半導体チップ29のバンパ30、31が、融点以上に加熱されて軟らかくなった封止兼保護膜28中に減り込み、半導体チップ用接続パッド23、26に接続される。また、半導体チップ29の周囲における封止兼保護膜28がやや盛り上がり、半導体チップ29の下部外周面を覆う状態となる。そして、封止兼保護膜28が硬化することにより、特に半導体チップ29の下面はその下の封止兼保護膜28を介してフィルム基板21上に接着される。かくして、フィルム基板21の上面の半導体チップ搭載領域に半導体チップ29が搭載される。

【0009】このようにして得られた半導体チップ実装体では、封止兼保護膜28が半導体チップ29の下面を保護（封止）する機能と引き回し線24、27を保護する機能とを兼ね備えることになるので、フィルム基板21が半導体チップ29の近傍で折り曲げられても、従来のような剥離現象が生じることがなく、したがって特に封止機能が損なわれることがなく、また封止兼保護膜28のみを形成すればよいので、製造工程数を少なくすることができる。

【0010】ここで、この半導体チップ実装体の寸法の一例について説明する。外部接続パッド22、25等の配線の厚さは8～18μm程度である。封止兼保護膜28のフィルム基板21上における厚さは、半導体チップ29のバンパ30、31の高さの1.5～2倍程度であ

る。封止兼保護膜28の外部接続パッド22、25等の配線上における厚さは、半導体チップ29のバンパ30、31の高さとほぼ同じである。したがって、バンパ30、31の高さが15μm程度であれば、封止兼保護膜28の外部接続パッド22、25等の配線上における厚さも15μm程度である。

【0011】なお、上記実施形態では、図1（C）に示すように、封止兼保護膜28の表面を平坦とした場合について説明したが、これに限定されるものではない。例えば、半導体チップ29の下面中央部に対応する部分における封止兼保護膜28の表面を適宜に盛り上げ、ボンディング時に半導体チップ29の下面で当該盛り上がり部を押し付けて平坦化するとともに、半導体チップ29の下面と封止兼保護膜28の表面との間に存在するエアーを押し出すようにしてもよい。このようにした場合に、半導体チップ29と封止兼保護膜28との間の密着力を上げることができる。

【0012】また、上記実施形態では、フィルム基板21の上面にラミネートされた銅箔等からなる導電膜をバターニングする場合について説明したが、これに限らず、例えばフィルム基板21の上面に接着剤層を介してラミネートされた銅箔等からなる導電膜をバターニングするようにしてもよい。さらに、上記実施形態では、半導体チップ29にバンパ30、31を設けた場合について説明したが、これに限らず、フィルム基板21の半導体チップ用接続パッド24、27上にバンパを設けるようにしてもよい。ただし、半導体チップ29の接続パッドがアルミニウムによって形成されている場合には、オーミックコンタクトを良好とするために、半導体チップ29のアルミニウムからなる接続パッド上に金属層（例えばTiW層とAu層の2層構造あるいはTi層とAu層の2層構造）を形成するようにする。

【0013】

【発明の効果】以上説明したように、この発明によれば、封止兼保護膜に封止機能と保護機能とを兼ね備えさせているので、従来のような剥離現象が生じることがなく、したがって特に封止機能が損なわれることがなく、また封止兼保護膜のみを形成すればよいので、製造工程数を少なくすることができる。

【図面の簡単な説明】

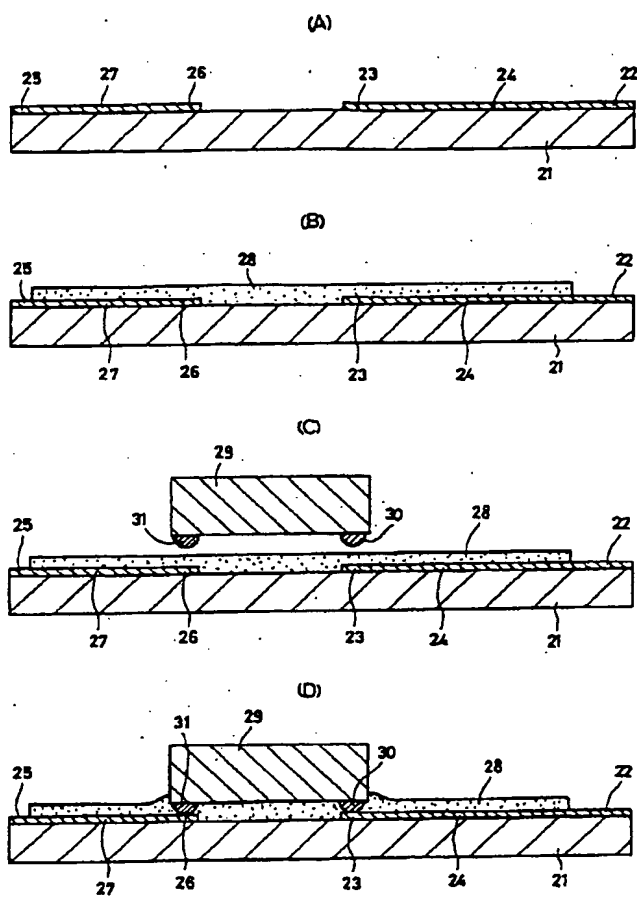
【図1】（A）～（D）はそれぞれこの発明の一実施形態における半導体チップ実装体の各製造工程の断面図。

【図2】従来の半導体チップ実装体の一例の断面図。

【符号の説明】

- 21 フィルム基板
- 22、25 外部接続パッド
- 23、26 半導体チップ用接続パッド
- 24、27 引き回し線
- 28 封止兼保護膜
- 29 半導体チップ

【図1】



【図2】

